

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—84614

⑪ Int. Cl.³
H 03 H 19/00

識別記号

庁内整理番号
8124—5 J

⑬ 公開 昭和57年(1982) 5月27日

発明の数 3
審査請求 未請求

(全 6 頁)

⑭ デジタル的にスイッチ動作されるコンデンサ
を有する二重チャンネル・フィルタ

4エバレット142番プレイス・エ
ス・イー5704

⑮ 特 願 昭56—148007

⑯ 出 願 昭56(1981) 9月21日

優先権主張 ⑰ 1980年 9月22日 ⑱ 米国(US)
⑲ 189709

⑳ 発 明 者 ケント・アール・カラハン
アメリカ合衆国ワシントン9820

㉑ 出 願 人 アメリカン・マイクロシステム
ズ・インコーポレイテッド
アメリカ合衆国カリフォルニア
95051 サンタ・クララ・ホーム
ステッド・ロード3800

㉒ 代 理 人 弁理士 小橋一男 外1名

明 細 書

1. 発明の名称

デジタル的にスイッチ動作されるコンデン
サを有する二重チャンネル・フィルタ

2. 特許請求の範囲

1. 時間に関し指数的に変化する電圧を生成す
る方法において、

- (a) 基準電圧を発生させ、
- (b) 前記基準電圧を第1中間コンデンサ内にス
トアさせ、
- (c) 前記中間コンデンサを出力コンデンサに放
電させると同時に前記基準電圧を第2中間
コンデンサ内にストアさせ、
- (d) 前記第2中間コンデンサを前記出力コンデ
ンサに放電させると同時に前記基準電圧を
前記第1中間コンデンサ内にストアさせ、
- (e) 上記ステップ(c)及び(d)を交互に繰り返す実
施して、前記出力コンデンサに略々指数
的に上昇する電圧を生成させる方法。

2. デジタル的にスイッチ動作されるコンデン

サを有する二重チャンネル・フィルタにおい
て、基準電圧を受ける為の入力端子と、出力
端子と、前記出力端子と接地との間に接続さ
れた出力コンデンサと、スイッチ動作される
コンデンサを有し各々が入力端及び出力端を
有すると共に並列接続された第1及び第2の
抵抗等価物とを具備し、前記スイッチ動作さ
れるコンデンサを有する抵抗等価物の入力端
が前記入力端子に接続されており、かつ前記
スイッチ動作されるコンデンサを有する抵抗
等価物の出力端が前記出力端子に接続されて
いるフィルタ。

3. 上記第2項に記載したフィルタにおいて、
前記スイッチ動作されるコンデンサを有する
抵抗等価物の各々が、第2プレートが接地接
続された中間コンデンサの第1プレートと前
記入力端子との間に接続された第1スイッ
チ手段を具備すると共に、前記中間コンデ
ンサの前記第1プレートと前記出力端子との間に
接続された第2スイッチ手段を具備したフィ

ルタ。

4. 上記第3項に記載したフィルタにおいて、前記スイッチ動作されるコンデンサを有する第1抵抗等価物の前記第1スイッチ手段と前記スイッチ動作されるコンデンサを有する第2抵抗等価物の前記第2スイッチ手段とは、2個の非重畳型クロックパルスの1方で制御され、又前記スイッチ動作されるコンデンサを有する第1抵抗等価物の前記第2スイッチ手段と前記スイッチ動作されるコンデンサを有する第2抵抗等価物の前記第1スイッチ手段とは、前記2個の非重畳型クロックパルスの他方で制御されるフィルタ。
5. 上記第2項乃至第4項の例れか1項において、前記入力端子には抵抗分圧器で発生された基準電圧が印加されるフィルタ。
6. 時間に関し指數的に変化する電圧を生成する構造体において、入力端子、出力端子、前記出力端子と接地との間に接続された出力コンデンサ、前記入力端子と前記出力端子との

において、前記スイッチ手段がMOS電界効果型トランジスタである構造体。

3. 発明の詳細な説明

本発明は、スイッチ動作されるコンデンサを有するフィルタに関するもので、更に詳細には電子装置に使用され指數的包絡線電圧を生成するのに使用するスイッチ動作されるコンデンサを有するフィルタに関するものである。

従来、電子装置に使用する指數的包絡線電圧を生成する方法は公知である。この目的の為に第1図に示したような回路が従来使用されている(例えば、IEEEジャーナル・オブ・ソリッドステート・サーキット、1972年8月版の302乃至304頁に記載されたデビッド・エル・フリード寄稿による文献「アナログ サンプル データ フィルタ」参照)。第1図の回路に於いて、節点23に基準電圧 V_{ref} が印加される。この基準電圧は如何なる公知の方法で与えることも可能であるが、最も簡単な方法は第1図に示したように節点30に於ける電圧源と接地との間

間に延在し第1中間節点を有する第1導通路、前記入力端子と前記第1中間節点との間に接続された第1スイッチ手段、前記出力端子と前記第1中間節点との間に接続された第2スイッチ手段、前記第1中間節点と接地との間に接続された第1中間コンデンサ、前記入力端子と前記出力端子との間に延在し第2中間節点を有する第2導通路、前記出力端子と前記第2中間節点との間に接続された第3スイッチ手段、前記出力端子と前記第2中間節点との間に接続された第4スイッチ手段、前記第2中間節点と接地との間に接続された第2中間コンデンサを具備した構造体。

7. 上記第6項に記載した構造体において、前記第1スイッチ手段及び第4スイッチ手段が2個の非重畳型クロックパルスの1方で制御され、かつ前記第3スイッチ手段が前記2個の非重畳型クロックパルスの他方で制御される構造体。
8. 上記第6項又は第7項に記載した構造体に

に接続された抵抗31及び32で構成した分圧器を用いることである。第1図の回路を動作させるのに必要な2つの非重畳型クロック信号を第2図に示してあり、夫々 ϕ 及び $\bar{\phi}$ で示してある。第1図の回路に使用したスイッチはMOSFETトランジスタ11及び12で示してあるが、任意の適当なスイッチ手段を使うことも可能である。第1図の回路を操作する場合に、最初にコンデンサ13及び14に現われる電圧はゼロである。最初のクロック周期の前半に於いては ϕ が高であり、スイッチ11はオンされコンデンサ13(容量値 C_1 を有する)スイッチ11を介して節点23に印加された電圧 V_{ref} に充電される。コンデンサ13にストアされる電荷量は単に $C_1 V_{ref}$ である。最初のクロック周期の後半部に於いては、 ϕ が高であり $\bar{\phi}$ が低である。この為にスイッチ11はオフし、スイッチ12はオンする。従つて、コンデンサ13に蓄えられた電荷は逃がれたスイッチ12によつて与えられる導通路を介してコンデンサ14(容量値 C_2 を有する)と電荷分

側を行なう。その結果、コンデンサ14に得られる電圧は $Q/(C_1+C_2)$ 乃至 $[C_1/(C_1+C_2)]V_{ref}$ である。次いで、 ϕ が低になり、 $\bar{\phi}$ が高になる。この第2のクロック周期の前半部に於いては、コンデンサ13はスイッチ11を介して電圧 V_{ref} に再び充電される。第2クロック周期の後半部に於いては、 $\bar{\phi}$ が低になり ϕ が高になるので、コンデンサ13にストアされた電荷は再びコンデンサ14と分断されることになる。従つて、コンデンサ14上の電圧は $[C_1/(C_1+C_2) + C_1C_2/(C_1+C_2)^2]V_{ref}$ となる。節点22で得られる電圧の時間的変化の状態を図示したものが第3図である。ここで注意すべきことは、最初のステップは比較的大きいが徐々にクロックサイクルが進むに従つてステップは段々と小さくなつて居り、その結果節点22に於ける電圧上昇は略指數的曲線となつて居る。

第1図の回路と等価なRC回路を第4図に示してある。端子23には基準電圧が印加され、コンデンサ14は抵抗45を介して充電される。その

有する抵抗等価の回路を使用することが望ましい。

第1図に示した従来回路に於ける1つの欠点はMOSFETトランジスタに固有の寄生容量に起因するものである。このような寄生容量は、第1図に於いてMOSFET12のゲート9とドレイン10との間に現われるコンデンサ15として点線で示してある。従つて、コンデンサ15と電荷分断が行なわれる為に、コンデンサ14にストアされ節点22で得られる出力電圧が劣化される。故に、第1クロック周期の後に、 ϕ が低になりスイッチ12がオフされると、コンデンサ14上に得られる実際の電圧は略 $[C_1C_2/(C_1+C_2)(C_2+C_3)]V_{ref}$ に等しくなる。ここで、 C_3 は寄生容量15の容量値である。このような電圧劣化は“ピツクオフ”と呼称される。このようなピツクオフは、コンデンサ14上にノイズ成分を生成し、このノイズ成分は節点22上に現われる。ピツクオフの周波数はサンプリング周波数 f_ϕ と同じである。

結果、端子22上には時間の経過と共に指數的に変化する電圧が現われる。第1図の回路はこのRC回路を近似したものであつて、抵抗に等価なコンデンサ13を使用したものである。第1図の回路の時定数は tC_2/C_1 であつて、ここで t はクロックパルス ϕ 及び $\bar{\phi}$ の周期である。従つて、スイッチ動作されるコンデンサを有する等価回路の時定数は単に ϕ 及び $\bar{\phi}$ の周期を変えることによつて変化させることが可能である。更に、MOS集積回路に於いては、製造上の制限がある為に抵抗値を高精度に制御することは困難であるが、容量値の比を高精度に制御することが可能である。何故ならば、コンデンサの寸法を制御することは極めて容易であり、絶縁層の厚さは各半導体チップ全面に渡つて極めて一様性が高いからである。遅い指數電圧を生成する為に必要とされる高抵抗値は半導体チップ上の過大の面積を必要とするので実際的ではない。これらの理由の為に、MOS分野に於いては単純なRC回路よりもスイッチ動作されるコンデンサを

本発明は以上の点に鑑みなされたものであつて、従来技術の欠点を解消し性能を向上させたスイッチ動作されるコンデンサを有するフィルターを提供することを目的とするものである。本発明は、2つの並列接続され異なつた位相で動作され、スイッチ動作されるコンデンサを有する電荷ポンプを利用するものである。この為出力電圧のステップ(階段)周波数は2倍になり、その結果、より滑らかな指數的電圧変化を起こさせることを可能としている。従つて、本発明の回路ではより高いサンプリング周波数となつて居る為に、従来回路よりも出力電圧のフィルター条件はより緩和されており、出力電圧ステップの大きさが減少されるので出力信号のノイズ効果を減少することを可能にしている。ノイズの周波数も2倍になるので、可聴周波数領域から更に遠さげられることになる。この事も出力フィルター条件をより緩和することになる。本回路のフィルターへの入力信号がA.C. 信号である場合には、サンプリング周波数

はより高いので、量子化雑音に基づく出力信号に与える影響が減少される。更に、本発明は従来回路よりも電力散逸を一層低下させた回路を提供するものである。又、本発明に於いては、論理状態間に於いて各クロックがスイッチするので、寄生容量に基づく出力電圧に於ける変化は除去されており、従つてビツクオフも取り除かれている。

以下、添付の図面を参考に本発明の具体的実施の形態につき説明する。第5図は、本発明に基づいて構成した二重チャンネルでデジタル的にスイッチ動作されるコンデンサを有するフィルタを示している。ここに於いても、抵抗31及び32で構成される分圧器が節点23に印加される基準電圧 V_{ref} の供給源として示されている。勿論、この基準電圧は任意の方法で与えることが可能である。MOSトランジスタスイッチ11及び12、コンデンサ13及び14は、第1図の従来回路と同一の回路を構成している。しかしながら、本実施例に於いては、この回路と

スイッチ111がオンされ、その結果コンデンサ113が電圧 V_{ref} に充電される。第2クロック周期の前半部において、 $\bar{\phi}$ は高であり、 ϕ は低である。この為、MOSFETスイッチ11は再びオンされ、コンデンサ13を電圧 V_{ref} に充電させる。更に、端子121には $\bar{\phi}$ が印加されて高になるので、MOSFETスイッチ112はオンされコンデンサ113に蓄えられた電荷はコンデンサ14と電荷分割される。この様に、コンデンサ14の充電周波数は ϕ 及び $\bar{\phi}$ のクロック周波数の2倍である。

コンデンサ14上に生成され端子22に得られる出力電圧を第6図に示してある。充電コンデンサ14の周波数は $2f_{\phi}$ に等しいので、節点22に於ける出力電圧は、第1図の従来回路に於いては1ステップであつたのに対し、クロック ϕ 及び $\bar{\phi}$ の周期当り2個のステップを有するものである。第6図に示した如く、ステップが2倍に増えており、コンデンサ13及び113の各々が容量値 $\frac{1}{2}C_1$ を有するので第1図の回路の出力よりもより小さな電圧増加量を示している。従つて、

並列に接続して第2のスイッチ動作されるコンデンサを有する電荷ポンプ回路が接続されており、この第2の回路は、MOSトランジスタスイッチ111及び112とコンデンサ113とで構成されている。

第5図の回路の動作につき説明すると、コンデンサ13、14及び113上の電圧は最初総てゼロである。コンデンサ13と113とは同じ値を有しており、各々 $\frac{1}{2}C_1$ であつて、ここで C_1 は第1図のコンデンサ13の容量値である。前半のクロック周期に於いて、 $\bar{\phi}$ は高であり、 ϕ は低である。 $\bar{\phi}$ によつて節点20は高となるので、MOSFETスイッチ11はオンされ、コンデンサ13を電圧 V_{ref} に充電させる。この第1クロック周期の後半部に於いて、 ϕ は高となり $\bar{\phi}$ は低となる。 ϕ によつて節点21は高となるので、MOSFETスイッチ12はオンされコンデンサ13に蓄えられた電荷は、第1図の従来回路の場合と同様に、コンデンサ14と分割される。しかしながら、端子120は ϕ によつて高となつているので、MOSFET

端子22を介して出力コンデンサ14から得られる出力電圧は、従来技術の回路から得られる出力電圧よりも一層滑らかであり、しかも同様な指數的波形を維持している。この為、本発明の回路においては第1図の従来技術の回路よりもフィルター条件が緩和されている。コンデンサ14の電荷ポンプ周波数は基本的に倍増されているので、入力端子23に印加される入力信号がA.C.信号である場合には、従来技術の回路よりも量子化雑音の可能性も又減少されている。

本発明の2重チャンネルフィルターを使用した場合に得られる別の利点としては、回路の電力散逸を減少可能であるということである。再び第1図を参照して説明すると、抵抗31及び32よりなる分圧器によつて基準電圧 V_{ref} を発生させる場合には、この分圧器を通つて定電流が流れる。抵抗31の抵抗値は R であり、MOSFETスイッチ11の抵抗は R_0 である。 $\bar{\phi}$ が高（即ち、スイッチ11がオン）の間に、コンデンサ13が完全に電圧 V_{ref} （約2.2時定数）に充電されない場合には、

第1図の回路は適切に機能することはない。コンデンサ13の充電時定数は $(R+R_0)C_1$ であるので、 R 又は C_1 を減少させることによつて時定数を減少させることが可能である。尚、 R_0 は極めて低く又製造工程に強く依存する。抵抗 R を減少させると電力消費が増加されて望ましくない。コンデンサ13の容量値を減少することが可能であるが、コンデンサ13と14の容量値の比、即ちフィルター特性を所定の値に維持する為にはコンデンサ14の容量をも減少させることを必要とする。しかしながら、コンデンサ14の容量値を減少させることは、寄生容量15の影響をより強くし、漏洩ノイズをより大きくし、MOSFETスイッチ12のオン・オフ操作に関連してより多くのノイズが発生されるのでピクオフノイズを増加させることとなる。

上記したような問題点は本発明回路を使用することによつて解消可能である。再び第5図につき説明すると、コンデンサ13と113とは各々容量値 $\frac{1}{2}C_1$ を有している。従つて、第1図の従

来回路のものと同じ値の抵抗31を用いた場合、本発明回路の各チャンネルの時定数は $\frac{1}{2}$ に減少される。従つて、コンデンサ13及び113を充電するのに要する時間は従来技術の回路に比べて減少されており、電力消費を増加させることなく又出力電圧のノイズ成分を増加させることもない。

本発明では又従来技術の回路に比べてピクオフノイズも減少されている。第1図に示した従来回路に於いては、MOSFETスイッチ12の寄生コンデンサ15がコンデンサ14の電荷を劣化させており、端子22に得られる出力電圧を劣化させていた。端子21に印加される ϕ が論理状態高と論理状態低の間をスイッチする時にコンデンサ15のコンデンサ効果に変化する。第5図の回路に於いては、出力端子22と ϕ 及び $\bar{\phi}$ の夫々との間に接続されて2つの寄生コンデンサ15及び115が接続されて形成されている。従つて、出力端子22と論理状態高との間には常に1個の寄生コンデンサが接続されており、又出力端子

22と論理状態低との間には常に1個の寄生コンデンサが接続されている。これによつて、 ϕ 及び $\bar{\phi}$ が論理状態高と論理状態低との間をスイッチする場合に寄生コンデンサに基づく出力端子22上の出力電圧に与える影響を効果的に取り除いており、従つてピクオフ効果を完全に除去している。

以上本発明の具体的実施の態様に付き詳細に説明したが、本発明はこれら具体例に限定されるべきものではなく、本発明の技術的範囲を逸脱することなく種々の変形例が可能なものである。

4. 図面の簡単な説明

第1図は従来の単チャンネルのデジタル的にスイッチ動作されるコンデンサを有するフィルターの回路図、第2図は第1図の回路を動作するのに必要なクロックパルスの説明図、第3図は第1図の出力コンデンサに充電される電圧の時間的变化を示したグラフ図、第4図は第1図のスイッチ動作されるコンデンサを有するフィル

ター回路と等価なRC回路の回路図、第5図は本発明に基づく二重チャンネルのデジタル的にスイッチ動作されるコンデンサを有するフィルターの回路図、第6図は第5図の回路のコンデンサ14に蓄えられる電圧の時間的变化を示したグラフ図、である。

13,14,113 : コンデンサ

11,12,111,112 : MOSトランジスタスイッチ

20,21 : 節点 22 : 出力端子

23 : 入力端子

特許出願人 アメリカン マイクロシステムズ
インコーポレイテッド

代理人 小 橋 一 男
 小 橋 正 明

